

IN THE U.S. PATENT AND TRADEMARK OFFICE

Applicant: UEKAWA, Kazuya Conf.:
Appl. No.: NEW Group:
Filed: September 8, 2003 Examiner:
For: LOAD CONTROL DEVICE

L E T T E R

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

September 8, 2003

Sir:

Under the provisions of 35 U.S.C. § 119 and 37 C.F.R. § 1.55(a), the applicant(s) hereby claim(s) the right of priority based on the following application(s):

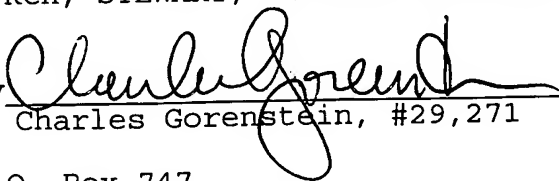
<u>Country</u>	<u>Application No.</u>	<u>Filed</u>
JAPAN	2002-262240	September 9, 2002

A certified copy of the above-noted application(s) is(are) attached hereto.

If necessary, the Commissioner is hereby authorized in this, concurrent, and future replies, to charge payment or credit any overpayment to Deposit Account No. 02-2448 for any additional fee required under 37 C.F.R. §§ 1.16 or 1.17; particularly, extension of time fees.

Respectfully submitted,

BIRCH, STEWART, KOLASCH & BIRCH, LLP

By 
Charles Gorenstein, #29,271

CG/msh
2936-0197P

P.O. Box 747
Falls Church, VA 22040-0747
(703) 205-8000

Attachment(s)

UEKAWA, Kazuya

09/08/03

135KB

日 本 国 特 許 庁 703/205-8090
JAPAN PATENT OFFICE

2936-197P

1081

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2002年 9月 9日

出 願 番 号

Application Number:

特願2002-262240

[ST.10/C]:

[JP2002-262240]

出 願 人

Applicant(s):

シャープ株式会社

2003年 5月 9日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2003-3034232

【書類名】 特許願

【整理番号】 02J02050

【提出日】 平成14年 9月 9日

【あて先】 特許庁長官 殿

【国際特許分類】 G05B 11/16

【発明の名称】 負荷制御装置

【請求項の数】 10

【発明者】

 【住所又は居所】 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内

 【氏名】 植川 和也

【特許出願人】

 【識別番号】 000005049

 【氏名又は名称】 シャープ株式会社

【代理人】

 【識別番号】 100085501

 【弁理士】

 【氏名又は名称】 佐野 静夫

【選任した代理人】

 【識別番号】 100111811

 【弁理士】

 【氏名又は名称】 山田 茂樹

【選任した代理人】

 【識別番号】 100121256

 【弁理士】

 【氏名又は名称】 小寺 淳一

【手数料の表示】

 【予納台帳番号】 024969

 【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 13

【物件名】 要約書 1

【包括委任状番号】 0208726

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 負荷制御装置

【特許請求の範囲】

【請求項 1】 交流電源に負荷と電力制御素子を直列に接続するとともに、前記電力制御素子に、抵抗とコンデンサーを直列に接続して成るスナバ回路を、並列に接続して成る負荷制御装置において、

前記負荷の負荷制御を停止しているときに、前記スナバ回路に流れる電流を抑制する抑制手段を設けたことを特徴とする負荷制御装置。

【請求項 2】 交流電源に負荷と電力制御素子を直列に接続するとともに、前記電力制御素子に、抵抗とコンデンサーを直列に接続して成るスナバ回路を、並列に接続して成る負荷制御装置において、

前記電力制御素子がオン状態からオフに遷移してから所定時間経過後の所定期間の間、前記スナバ回路に流れる電流を抑制する抑制手段を設けたことを特徴とする負荷制御装置。

【請求項 3】 前記抑制手段は、前記スナバ回路に直列に設けられたスイッチであることを特徴とする請求項 1 又は請求項 2 に記載の負荷制御装置。

【請求項 4】 前記スイッチは、機械式リレーであることを特徴とする請求項 3 に記載の負荷制御装置。

【請求項 5】 前記スイッチは、ソリッドステートリレーであることを特徴とする請求項 3 に記載の負荷制御装置。

【請求項 6】 前記スイッチは、ゲートに光が当たると導通するフォト MOS トランジスタであることを特徴とする請求項 3 に記載の負荷制御装置。

【請求項 7】 前記スイッチは、ゲート制御式双方向 3 端子サイリスタであることを特徴とする請求項 3 に記載の負荷制御装置。

【請求項 8】 前記スイッチをオフにする信号を、前記電力制御素子をオフにする信号から遅延させる遅延回路を設けたことを特徴とする請求項 3 ～請求項 7 のいずれかに記載の負荷制御装置。

【請求項 9】 前記抑制手段は、前記スナバ回路を構成する負の温度係数を持つサーミスタであることを特徴とする請求項 1 又は請求項 2 に記載の負荷制御装

置。

【請求項 1 0】 前記サーミスタを前記電力制御素子の近傍に配置したことを特徴とする請求項 9 に記載の負荷制御装置。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、ソリッドステートリレーまたはゲート制御式双方向 3 端子サイリスタ等の電力制御素子を用いた負荷制御装置に関するものであり、特に電力制御素子と並列にスナバ回路を用いた負荷制御装置に関するものである。

【0 0 0 2】

【従来の技術】

交流電源と電力制御素子を用いた負荷制御装置の従来例として、ここではソリッドステートリレーを使用した負荷制御装置を例に挙げて説明を行う。尚、ソリッドステートリレーとは、ゲート制御式双方向 3 端子サイリスタや逆阻止 3 端子サイリスタ等の電力半導体デバイスを用いた半導体無接点リレーをいい、一旦オンすると、オン・オフを制御する制御信号を印加しなくても、開閉部を流れる電流が 0 になるまで、オン状態を保持する特徴がある。

【0 0 0 3】

図 1 0 はソリッドステートリレーによる従来の負荷制御装置の概略を示した回路図であり、同図において 1 はソリッドステートリレー、2 はスナバ回路、3 は負荷であり、これらは交流電源 4 に図示のように接続されている。この場合、交流電源 4 に対し負荷 3 とソリッドステートリレー 1 が直列に接続されている。一方スナバ回路 2 は、ソリッドステートリレー 1 に並列に接続されている。尚、スナバ回路 2 は、コンデンサ 2 1 と抵抗 2 2 を直列に接続して構成されている。

【0 0 0 4】

図 1 0 に示すソリッドステートリレー 1 は、電気信号を光に変換する発光素子 1 1（主にガリウム砒素 L E D やガリウムアルミニウム砒素 L E D）と、光を電気信号に変換する受光素子 1 2（主にゲートに光が当たると導通するフォトゲート制御式双方向 3 端子サイリスタ）と、電力制御素子 1 3（主にゲート制御式双

方向 3 端子サイリスタ) と、から成っている。制御電流 I が発光素子 1 1 及びそれと直列に接続された電流制限抵抗 R_1 を流れることにより発光素子 1 1 が発光すると、受光素子 1 2 が導通し、電力制御素子 1 3 のゲートにトリガ電流が流れ、電力制御素子 1 3 が点弧する。これにより負荷 3 に電流が流れ、負荷 3 が動作する。

【 0 0 0 5 】

電力制御素子 1 3 に並列に接続されたスナバ回路 2 は、次のような理由から必要である。例えば、負荷 3 を誘導性負荷とし、その誘導性負荷を位相制御する場合を例にとり、図 1 1 を用いて説明する。図 1 1 において、(a) は、交流電源 4 の電圧波形を示し、(b) は、電力制御素子 1 3 の両端に発生する電圧の波形を示し、(c) は、負荷 3 の動作電流 (以下、負荷電流という。) であって電力制御素子 1 3 を流れる電流の波形を示し、(d) は制御電流 I の波形を示す。

【 0 0 0 6 】

同図 (d) に示す t_{a0} のときに、制御電流 I が流れることにより、上述のように電力制御素子 1 3 が点弧し、電力制御素子 1 3 には同図 (c) に示す負荷電流が流れる。電力制御素子 1 3 は、負過電流が流れている間は点弧し続けるが、負過電流が 0 になる t_{a1} のときに消弧する。負荷電流の位相は、誘導性負荷であるため、電源電圧 4 の位相よりも遅れる。このため、 t_{a1} のときには、電源電圧 4 の電圧値は、同図 (a) に示すように、既に V_{a1} に上昇しているのに、電力制御素子 1 3 には、同図 (b) に示すように、急峻な立ち上がりの電圧が印加される。この電圧の上昇率 (dv/dt) が、電力制御素子 1 3 の転流時臨界オフ電圧上昇率を上回った場合には、電力制御素子 1 3 の転流失敗を引き起こすことがあるので、スナバ回路 2 により前記電圧上昇率を緩和する、換言すれば、高周波成分を除去する必要がある。

【 0 0 0 7 】

また、スナバ回路は、電力制御素子をサージ電圧から保護するためにも必要である。すなわち、電力制御素子として、例えばトランジスタのように、負荷電流が流れているときであっても、制御信号の入力を停止すると負荷電流を遮断できる素子を使用した場合、特に負荷が誘導性負荷であるときには、負荷電流を遮断

した瞬間に電力制御素子の耐電圧を越えるサージ電圧が、電力制御素子の両端に発生し、該素子を破壊してしまうことがある。このようなサージ電圧を抑制する、換言すれば、高周波成分を除去するためにも、スナバ回路が必要である。

【 0 0 0 8 】

また、スナバ回路は、特に負荷が誘導性負荷である場合の、電力制御素子が点弧した状態を維持できず、消弧してしまう現象を防止するためにも必要である。以下に、その理由を、図 1 2 及び図 1 3 を用いて説明する。図 1 2 は、図 1 0 と同様に従来の負荷制御装置の概略を示した回路図である。従来例の図 1 0 と同一の部分については同一の符号を付し、回路構成の説明を省く。図 1 0 に示す負荷制御装置と相違する点は、電力制御素子として、ソリッドステートリレーに代えて、ゲート制御式双方向 3 端子サイリスタを用いた点である。

【 0 0 0 9 】

図 1 2 において、1 2 1 はゲート制御式双方向 3 端子サイリスタを示し、交流電源 4 に対し負荷 3 とゲート制御式双方向 3 端子サイリスタ 1 2 1 が直列に接続されている。一方スナバ回路 2 は、ゲート制御式双方向 3 端子サイリスタ 1 2 1 に並列に接続されている。1 2 2 は、外部に接続される制御器を示し、ゲート制御式双方向 3 端子サイリスタ 1 2 1 のゲートにトリガ電流を流す。トリガ電流が流れると、ゲート制御式双方向 3 端子サイリスタ 1 2 1 は点弧し、負荷 3 に電流が流れ、負荷 3 が動作する。ゲート制御式双方向 3 端子サイリスタの特徴として、一旦点弧した後は、ゲートに電流が流れていなくても、出力部を流れる電流が 0 になるまで点弧を維持する。

【 0 0 1 0 】

図 1 3 は、図 1 2 に示す負荷制御装置において、負荷 3 が誘導性負荷の場合の、ゲート制御式双方向 3 端子サイリスタ 1 2 1 が点弧した直後の、負荷制御装置各部に流れる電流の立ち上がりの波形を示す。図 1 3 に示す $t_b 0$ のときに、ゲート制御式双方向 3 端子サイリスタ 1 2 1 のゲートにトリガ電流（不図示）が流れ、ゲート制御式双方向 3 端子サイリスタ 1 2 1 が点弧する。このとき、ゲート制御式双方向 3 端子サイリスタ 1 2 1 に流れる総合電流 I_t は、負荷電流 I_h と、スナバ回路 2 の放電電流 I_s との和になる。負荷電流 I_h は、負荷が誘導性で

あるため、その立ち上がりは緩やかに上昇する。

【0011】

ゲート制御式双方向3端子サイリスタ121を流れる電流値が、ラッチング電流値を越えた後は、一旦点弧したゲート制御式双方向3端子サイリスタ121は、トリガ電流が流れなくても点弧し続けるのであるが、ここで仮にスナバ回路2が無い場合を考えると、ゲート制御式双方向3端子サイリスタ121を流れる電流は、負荷電流 I_h のみとなる。すると、ゲート電流が、図13に示す t_{b1} のときまでに途絶えた場合は、電流値がラッチング電流値を越えていないため、点弧したゲート制御式双方向3端子サイリスタ121は、点弧を維持できず消弧してしまう。（以下、この現象を点弧失敗という。）しかし、実際は、スナバ回路2があるので、ゲート制御式双方向3端子サイリスタ121に流れる電流は、上述の総合電流 I_t となり、図13に示すように、点弧した直後からラッチング電流値を越えているので、点弧した直後にゲート電流が途絶えても、点弧失敗が起こることはない。

【0012】

【発明が解決しようとする課題】

近年、あらゆる機器の省エネ化・小型化・高性能化が進むにつれ、負荷電流の小さな軽負荷は増大傾向にあり、そのような軽負荷を対象とした安定した負荷制御の要望が高まっている。

【0013】

しかし、上述のように、高周波成分除去や、点弧失敗防止のため、図10に示すように、スナバ回路2を電力制御素子13に並列に接続すると、電力制御素子13がオフ状態であるときに、交流電源4に対して負荷3とスナバ回路2が直列に接続された回路に小さいながらも電流が流れることになってしまう。つまり負荷3に電流が流れることになる。従って、この小さな電流でも動作する可能性のある軽負荷は、負荷の対象とすることができなくなるという欠点があった。

【0014】

尚、図10に示す従来の負荷制御装置において、例えば、商用交流電源電圧3の電圧を200V（rms）、スナバ回路定数として、抵抗22の抵抗値を22

Ω 、コンデンサー 21 の容量を $0.022\mu\text{F}$ とした場合に、負荷制御素子 13 がオフのときに、スナバ回路 2 を通じて負荷 3 を流れる電流値は約 $1\text{mA} \sim 2\text{mA}$ 程度となる。負荷 3 が軽負荷である場合は、この程度の電流でも誤って動作したり、また、この程度の電流値では動作しないが、例えば、電源電圧の変動等で電流値がわずかに増えると、一瞬だけ動作したりするというような不安定な状態も発生する。

【0015】

また、軽負荷に対応するため、スナバ回路のインピーダンスを大きくし、スナバ回路に流れる電流値を小さくすることによって、その軽負荷が動作しないようにすると、上述したスナバ回路の効果が得られなくなり、正常な負荷制御が行えなくなる可能性もあった。

【0016】

また、特開平 3 - 2 8 4 1 2 1 号公報のスイッチ回路保護装置には、スナバ回路が並列に接続されているソリッドステートリレー形スイッチによって制御される負荷に、並列に抵抗を接続することにより負荷の誤動作を防止する方法が示されている。ソリッドステートリレー形スイッチがオフのときに、スナバ回路に流れる電流により負荷の両端に発生する電圧が引き起こす負荷の誤動作を、前記抵抗で前記電圧を小さくすることにより防止するというものである。しかしながら、この方法によると、前記抵抗に無用の電流を流すことになり、無駄な電力消費を発生させるという欠点があった。また、前記抵抗の発熱を考慮に入れた設計を余儀なくされるという欠点もあった。

【0017】

本発明は、上記の点に鑑み、電力制御素子がオフ状態のときに、スナバ回路に流れる小電流により発生する負荷の誤動作を防止し、安定した負荷制御を実現することのできる負荷制御装置を提供することを目的とする。

【0018】

【課題を解決するための手段】

上記目的を達成するために、本発明は、負荷制御を停止しているときは、スナバ回路に流れる電流を抑制する抑制手段を設けたものである。この構成によると

、負荷の非作動時に負荷に流れる電流値を、負荷の最小動作電流値より小さくすることができるので、小電流により動作する軽負荷の誤動作を防止できる。また、負荷の非作動時に負荷に流れる電流により負荷の両端に発生する電圧を、負荷の最小動作電圧値より小さくすることができるので、電圧により動作する負荷の誤動作を防止できる。

【 0 0 1 9 】

また、例えば、負荷制御を行う電力制御素子がオンからオフに遷移した直後の所定期間以外の前記電力制御素子がオフしている期間は、スナバ回路に流れる電流を抑制する抑制手段を設けるとよい。このような構成にすると、電力制御素子の転流失敗を防止できるスナバ回路の効果を維持したうえで、負荷の非作動時には、スナバ回路を通して負荷に流れる電流を抑制し、負荷の誤動作を防止することができる。

【 0 0 2 0 】

また、例えば、負荷の非作動時にスナバ回路に流れる電流を抑制する抑制手段として、前記スナバ回路に流れる電流を遮断するスイッチを、前記スナバ回路に直列に設けるとよい。このような構成にすると、負荷の非作動時には、スナバ回路を通して負荷に流れる電流を遮断し、負荷の誤動作を防止することができる。

【 0 0 2 1 】

また、前記スイッチとして、機械式リレーを用いると、簡単な制御でスイッチのオン・オフができ、スナバ回路に流れる電流による誤動作を発生しない安定した負荷制御装置が容易に実現でき、製作コストの低減が図れる。

【 0 0 2 2 】

また、前記スイッチとして、ソリッドステートリレーを用いると、無接点半導体スイッチであるので、開閉部の消耗がなく、長期に渡り安定した開閉動作を行うことができる。また、機械式リレーのような機構部がないため、スイッチの切り換えが高速で行える。また、制御信号を連続印加することなく、導通状態が保持できるので、制御が容易になる。また、開閉部を流れる電流が0になったときにオフとなるので、サージの発生がない。

【 0 0 2 3 】

また、前記スイッチとして、ゲートに光が当たると導通するフォトMOSトランジスタを用いると、機械式リレーのような機構部がないため、スイッチの切り換えが高速で行える。また、フォトMOSトランジスタが導通したときのオン抵抗は小さいので、低インピーダンスでスナバ回路が接続されることになり、負荷動作時のスナバ回路の効果が損なわれることがなく、また、発熱も少ない。

【 0 0 2 4 】

また、前記スイッチとして、ゲート制御式双方向3端子サイリスタを用いるとよい。ゲート制御式双方向3端子サイリスタは、半導体による交流用スイッチとして代表的な素子であり、開閉部の劣化が少なく、長期に渡り安定した交流スイッチ回路が容易に実現できる。また、機械式リレーのような機構部がないため、スイッチの切り換えが高速で行える。また、制御信号を連続印加することなく、導通状態が保持できるので、制御が容易になる。また、開閉部を流れる電流が0になったときにオフとなるので、サージの発生がない。

【 0 0 2 5 】

また、前記スイッチをオフにする信号を、負荷制御を行う電力制御素子をオフにする信号から遅延させる遅延回路を設けるとよい。この構成によると、前記スイッチをオフにするタイミングを、前記電力制御素子をオフにする信号から作り出すことができるので、前記スイッチのオン・オフタイミングを制御する制御器を別途設ける必要がなくなる。これにより、スナバ回路に流れる電流による誤動作を発生しない安定した負荷制御装置の製作が容易となり、また、製作コストの低減も図れる。尚、前記遅延回路を設ける手段の適用は、前記スイッチとして、機械式リレーと、ソリッドステートリレーと、ゲートに光が当たると導通するフォトMOSトランジスタと、ゲート制御式3端子サイリスタと、を使用する構成の場合も含む。

【 0 0 2 6 】

また、例えば、スナバ回路を負の温度係数を持つサーミスタで構成するとよい。この構成によると、他の制御器を用いることなく、前記スナバ回路に流れる電流を抑制することができるので、スナバ回路に流れる電流による誤動作を発生しない負荷制御装置の製作が容易となり、また、製作コストの低減も図れる。すな

わち、前記サーミスタを負荷の作動に関係した温度上昇の影響を受ける位置に配置すれば、負荷の非動作時は、サーミスタの温度は低いため抵抗値が高くなり、前記スナバ回路に流れる電流を、小電流で動作する軽負荷に対しても十分小さくすることができ、誤動作を防止できる。一方、負荷の作動時は、サーミスタの温度も上昇し、抵抗値が低くなる。つまり、スナバ回路のインピーダンスが小さくなるということになり、電圧変動に対しての高周波成分除去効果が高まる。

【 0 0 2 7 】

また、例えば、前記サーミスタを電力制御素子の近傍に配置するとよい。この構成によると、負荷電流が流れる電力制御素子は、負荷の作動に応じた温度上昇をするので、上述のサーミスタを用いたスナバ回路の電流抑制が、確実に実現できる。また、前記サーミスタを含むスナバ回路を前記電力制御素子の近傍に配置するとともに、スナバ回路を構成する部品と、電力制御素子と、を一体とした構成にすることもできる。このような構成にすると、スナバ回路に流れる電流による誤動作を発生しない負荷制御装置の部品点数を減らすことができ、コストの低減を図ることができる。

【 0 0 2 8 】

【発明の実施の形態】

以下に本発明の実施形態を図面を参照して説明する。説明の便宜上、従来例の図 1 0 と同一の部分については同一の符号を付している。

【 0 0 2 9 】

本発明の実施形態を示す図 1 において、1 はソリッドステートリレー、2 はスナバ回路、3 は負荷、4 は商用交流電源、1 0 0 はスイッチである。図 1 0 に示す従来の負荷制御装置と相違する点は、スナバ回路 2 にスイッチ 1 0 0 が直列に接続され、スナバ回路 2 とスイッチ 1 0 0 との直列回路が、ソリッドステートリレー 1 に並列に接続されている点である。

【 0 0 3 0 】

次に、スイッチ 1 0 0 のオン・オフ動作を説明する。図 2 は、図 1 に示す負荷制御装置において、負荷 3 の負荷制御を行っているか否かの状態と、スイッチ 1 0 0 のオン・オフ状態を示したものである。図 2 (a) は、負荷制御の状態を示

し、斜線とともに制御と記した部分が、制御状態を示し、白抜き部に停止と記してある部分が停止状態を示す。図 2 (b) は、スイッチ 1 0 0 のオン・オフ状態を示し、斜線とともに ON と記した部分がオン状態を示し、白抜き部に OFF と記してある部分がオフ状態を示す。スイッチ 1 0 0 は、制御状態のときにオンになっており、停止状態のときにオフになっている。

【 0 0 3 1 】

ここで、負荷の制御状態とは、負荷を使用しているときの状態であり、負荷制御の停止状態とは、負荷を使用していないときの状態をいうが、以下に電力制御方式の違いに分けて、詳細に説明する。図 1 に示す負荷制御装置の負荷 3 をオン・オフ制御方式で電力制御している場合、電力制御素子 1 3 がオンしている状態は制御状態である。また、位相制御方式で電力制御している場合は、電力制御素子 1 3 がオンしている状態に加え、制御角で決まる電力制御素子のオフ期間も制御状態に含む。但し、一周期すべてオフのときは、制御状態ではなく、停止状態である。また、いずれの制御方式でも、負荷の使用を停止する目的で負荷制御を停止し、電力制御素子 1 3 がオフした直後に、上述したように、スナバ回路 2 が電力制御素子 1 3 の転流失敗防止に効果を発揮している間は、制御状態に含める。以上述べた制御状態でないときが、停止状態である。

【 0 0 3 2 】

負荷制御の停止状態のとき、スイッチ 1 0 0 をオフにすることにより、電力制御素子 1 3 がオフのときにスナバ回路 2 に流れる電流を遮断する。これにより、負荷 3 が小電流で作動する軽負荷であっても、負荷 3 の誤動作が防止できる。また、負荷 3 が電圧で作動する負荷であったとしても、スナバ回路を通して負荷 3 を流れる電流がなくなるので、負荷 3 に印加される電圧は低下し、誤動作を防止できる。

【 0 0 3 3 】

負荷制御が停止状態から制御状態に遷移すると同時に、スイッチ 1 0 0 もオフからオンに遷移する。スナバ回路を有効にして、安定した負荷制御をするためである。尚、スイッチ 1 0 0 は、負荷制御が停止状態から制御状態に遷移すると同時にオンする必要はないが、負荷制御状態になった電力制御素子 1 3 が、最初に

オンからオフに遷移するまでにはオンしておく必要がある。転流失敗防止のためである。しかし、電力制御素子 1 3 がオンするときに、スイッチ 1 0 0 をオンしていると、制御条件によっては、上述したように、スナバ回路の効果である点弧失敗を防止できる場合もある。スイッチ 1 0 0 のオンの方を、電力制御素子 1 3 がオンするより早目にすると、負荷の誤動作の可能性があるので、スイッチ 1 0 0 は、電力制御素子 1 3 がオンすると同時にオンすることが望ましい。

【 0 0 3 4 】

また、スイッチ 1 0 0 のオン・オフは、手動で行ってもよいし、自動で行ってもよい。或いは、オン、オフのいずれか一方を手動とし、残りの一方を自動とする半自動で行ってもよい。スイッチ 1 0 0 のオン・オフを自動で行う場合の、オン・オフタイミング及びオン・オフ時間は、回路条件、負荷制御条件（位相制御、全波オン等）等の条件に応じて決められる。また、スイッチ 1 0 0 のオン・オフを手動で行う場合は、スイッチ 1 0 0 に押しボタンスイッチやトグルスイッチ等の手動操作スイッチを用いてもよい。また、スイッチ 1 0 0 として、複数のスイッチを組み合わせた構成のスイッチにしてもよい。

【 0 0 3 5 】

このように、負荷の負荷制御を行わないときは、スイッチ 1 0 0 をオフにすることにより、負荷の誤動作を防止することができる。一方、負荷制御を行うときは、スイッチ 1 0 0 をオンすることにより、スナバ回路 2 は電力制御素子に並列接続され、上述したスナバ回路の効果が得られ、安定した負荷制御を行うことができる。

【 0 0 3 6 】

次に、図 1 に示す負荷制御装置において、負荷制御方法として位相制御を行い、位相制御中でもスイッチ 1 0 0 を動作させる場合の、スイッチ 1 0 0 の動作を詳細に説明する。図 1 に示す負荷 3 を誘導性負荷とし、その誘導性負荷を位相制御する場合を例にとり、図 3 を用いて説明する。図 3 において、（a）は、交流電源 4 の電圧波形を示し、（b）は、電力制御素子 1 3 の両端に発生する電圧の波形を示し、（c）は、電力制御素子 1 3 を流れる電流、すなわち負荷電流の電流波形を示し、（d）は制御電流 I の波形を示し、（e）はスイッチ 1 0 0 のオン

・オフ状態を示す。(e)において、白抜きで示す(イ)の部分は、スイッチ100がオフであることを表し、斜線で示す(ロ)の部分は、オンであることを表している。

【0037】

まず、同図に示す t_0 までの間は、電力制御素子13はオフ状態であり、同図(c)に示すように負荷電流は流れていない。また、このときの同図(b)に示す電力制御素子13の両端に発生する電圧波形は、同図(a)に示す電源電圧4の電圧波形と相似であり、その電圧値は負荷のインピーダンスと、スナバ回路のインピーダンスと、の比で電源電圧を分圧した値となる。このとき、スイッチ100は、同図(e)に示すように、オフになっている。スイッチ100がオフであると、スナバ回路2はその一端がオープンとなり、負荷3に電流を流す回路が構成されないので、負荷3は負荷の種類にかかわらず、誤動作しない。また、スナバ回路が高インピーダンスとなることで、負荷の両端に発生する電圧値は小さくなり、電圧で作動する負荷に対しても、誤動作防止が図れる。

【0038】

次に、同図に示す時間 t_0 において、同図(d)に示すソリッドステートリレー1に制御電流Iが流れると、電力制御素子13が点弧し、同図(b)に示すように、その両端電圧は0になる。このとき、負荷3には同図(c)に示す負荷電流が流れ出し、負荷が動作する。一方、スイッチ100は、同図(e)に示すように、制御電流Iが流れると同時にオンするように制御する。スイッチ100をオンするタイミングは、前記制御電流Iが流れ出すのと同時でなくともよいが、少なくとも一旦点弧した電力制御素子13が消弧するまでには、スイッチ100をオンするようにする。転流失敗を防止するためである。尚、前記制御電流と同時に、或いは、前記制御電流が流れ出すよりも早く、スイッチ100をオンにしてもよい。これは、上述したスナバ回路の効果で説明したように、電力制御素子の点弧時にスナバ回路を有効にしておくこと、制御条件によっては、電力制御素子の点弧失敗を防止する効果があるためである。しかし、スイッチ100の方を早くオンすると、負荷の誤動作の可能性があるので、制御電流Iが流れ出すのと同時にスイッチ100をオンすることが望ましい。

【 0 0 3 9 】

次に同図に示す t_1 のときに、同図 (d) に示す制御電流は 0 になるが、電力制御素子 13 は、一旦点弧すると制御電流が無くなっても、負荷電流が 0 になるまで消弧しないので、 t_0 のときから t_2 のときまで点弧している。

【 0 0 4 0 】

同図に示す t_2 のとき、負荷電流が 0 になり、負荷の作動は停止し、電力制御素子 13 は消弧する。スイッチ 100 は、 t_2 のときから、任意に設定できる所定期間 t_d の間、オン状態を維持するように制御されている。この理由を以下に説明する。 t_2 のとき、負荷が誘導性負荷であるため、電圧位相は電流位相よりも進んでいるので、電源電圧は既に同図 (a) に示すように V_{t_2} まで上昇している。すると、負荷電流が 0 になった瞬間に、この電圧 V_{t_2} が電力制御素子両端間に印加されることになる。このときの電力制御素子両端間電圧の電圧上昇率 (dv/dt) が電力制御素子の転流時臨界オフ電圧上昇率を上回ると、電力制御素子はゲート電流が流れていないにもかかわらず、点弧してしまうことがある。しかし、 t_2 のときにおいて、スイッチ 100 がオン状態を維持していることで、スナバ回路 2 は、同図 (b) に示す電力制御素子両端に発生する電圧の電圧上昇率 (dv/dt) を緩和し、換言すれば、高周波成分を除去し、転流失敗を防止する。従って、回路条件、制御条件等を考慮に入れて、前記高周波成分を除去するのに十分な期間を所定期間 t_d として決定する必要がある。

【 0 0 4 1 】

その後、スイッチ 100 は、 t_3 のときにオフ状態に移行する。スイッチ 100 をオンからオフに移行するタイミングは、上述のように、電力制御素子 13 がオフになったタイミングから任意に決めることのできる所定期間 t_d の後に移行するというように制御してもよいし、別途の方法で制御してもよい。例えば、電力制御素子両端間の電圧上昇率を検知する検出器を設け、電圧上昇率がある値より小さくなったときに、スイッチ 100 をオフからオンにする制御方法としてもよい。或いは、制御電流 I と関連付け、制御電流 I が途絶えた後の所定時間後にスイッチ 100 をオフからオンにするとしてもよい。

【 0 0 4 2 】

次に、 t_4 のときに再び制御電流が流れると、電力制御素子13は再び点弧し、同図(c)に示す負荷電流が流れる。同時にスイッチ100は、スナバ回路2を有効にするため再びオン状態に移行する。以後、制御電流が流れる度に、 t_0 から t_3 までの動作と同様の動作が繰り返される。 t_5 のときにオン状態からオフ状態に移行した後は、制御電流が流れていないので、スイッチ100はオフ状態を維持する。

【0043】

このように、位相制御中においても、電力制御素子のオフ時にスイッチ100をオフすることにより、負荷の誤動作を防ぎ、精度の良い位相制御が可能となる。

【0044】

図4は、前記スイッチとして、機械式リレーを用いた実施形態を示すものである。図4において、40は機械式リレーを示し、機械式リレー40は、内部に機械式接点42と、それを駆動するコイル41と、を有する。コイル41は、電流制限抵抗 R_4 と直列に接続されており、コイル41に制御電流 I_4 を流したり止めたりすることにより、機械式接点42を開閉することができる。尚、コイル41に電流が流れたときに、接点42を閉成するとしてもよいし、逆に開放するとしてもよい。機械式接点42はスナバ回路開閉のスイッチとして、スナバ回路2に直列に接続され、スナバ回路2と機械式接点42との直列回路が電力制御素子13に並列に接続されている。機械式接点42が閉成している時は、スナバ回路は有効な状態になり、開放している時は、スナバ回路2を流れる電流を遮断し、負荷3の誤動作を防止できる。

【0045】

機械式リレーのオン・オフ制御は、接点42のオン・オフ動作が、上述したスイッチのオン・オフ動作と同様になるように行えばよい。例えば、ソリッドステートリレー1の制御電流 I と関連付けて制御してもよいし、別途必要に応じ制御してもよい。或いは、機械式リレー40を手動でオン・オフしてもよい。負荷制御を長時間行わないことが、予め分かっているときに、手動でオフとしておくことにより、負荷制御を行わない間の誤動作を防止できる。次に再び負荷制御を行

うときに、手動でオンとしてもよいし、自動的にオンとなるようにしてもよい。
このようにすると、制御が簡単になる。

【 0 0 4 6 】

機械式リレーは、制御が簡単であるため、複雑な制御回路を構成する必要がない。このため、誤動作のない安定した負荷制御装置を容易に実現できる。また、スナバ回路に流れる小電流を開閉する程度の開閉容量を有するリレーは、小型であるので、低コストで前記装置を構成できる。

【 0 0 4 7 】

図 5 は、前記スイッチとして、ソリッドステートリレーを用いた実施形態を示すものである。図 5 において、5 0 はソリッドステートリレーを示し、ソリッドステートリレー 5 0 は、電気信号を光に変換する発光素子 5 1（主にガリウム砒素 L E D やガリウムアルミニウム砒素 L E D）と、光を電気信号に変換する受光素子 5 2（主にゲートに光が当たると導通するフォトゲート制御式双方向 3 端子サイリスタ）と、半導体スイッチ 5 3（主にゲート制御式双方向 3 端子サイリスタ）と、から成っている。半導体スイッチ 5 3 はスナバ回路開閉のスイッチとして、スナバ回路 2 に直列に接続され、スナバ回路 2 と半導体スイッチ 5 3 との直列回路が、電力制御素子 1 3 に並列に接続されている。制御電流 I 5 が発光素子 5 1 及びそれと直列に接続された電流制限抵抗 R 5 を流れることにより、発光素子 5 1 が発光すると、受光素子 5 2 が導通し、半導体スイッチ 5 3 のゲートに電流が流れ、半導体スイッチ 5 3 が点弧する。半導体スイッチ 5 3 がオン状態にある時は、スナバ回路は有効に作用し、オフ状態にある時は、スナバ回路 2 を流れる電流を遮断し、負荷 3 の誤動作を防止できる。

【 0 0 4 8 】

ソリッドステートリレー 5 0 のオン・オフ制御は、半導体スイッチ 5 3 のオン・オフ動作が、上述したスイッチのオン・オフ動作と同様になるように行えばよい。例えば、ソリッドステートリレー 1 の制御電流 I と関連付けて制御してもよいし、別途必要に応じ制御してもよい。或いは、ソリッドステートリレー 5 0 を手動でオン・オフしてもよい。負荷制御を長時間行わないことが、予め分かっているときに、手動でオフとしておくことにより、負荷制御を行わない間の誤動作

を防止できる。次に再び負荷制御を行うときに、手動でオンとしてもよいし、自動的にオンとなるようにしてもよい。このようにすると、制御が簡単になる。

【 0 0 4 9 】

ソリッドステートリレーは、一旦オン状態に移行した後は、開閉部を流れる電流が 0 になるまで、オン状態を維持する特徴がある。従って、ソリッドステートリレー 5 0 の制御電流 I_5 は、連続的に流す必要がなく、経済的である。また、オフ時のサージ発生もない。また、無接点半導体スイッチであるので、長寿命であり、長期に渡り安定した開閉を行うことができる。また、機械式リレーのような機構部を有しないので、高速で開閉を行うことができる。また、機械式リレーと同様に、制御が簡単であるため、複雑な制御回路を構成する必要がなく、誤動作のない安定した負荷制御装置を容易に実現できる。

【 0 0 5 0 】

図 6 は、前記スイッチとして、ゲートに光が当たると導通するフォト MOS トランジスタを用いた実施形態を示すものである。図 6 において、6 0 はゲートに光が当たると導通するフォト MOS トランジスタを示し、ゲートに光が当たると導通するフォト MOS トランジスタ 6 0 は、入力側に電気信号を光に変換する発光素子 6 1 と、出力側に光電効果により低インピーダンスとなる MOS トランジスタ 6 2 を有する。制御電流 I_6 が、発光素子 6 1 に直列に接続された電流制限抵抗 R_6 を介して発光素子 6 1 を流れることにより発光素子 6 1 が発光し、出力側の MOS トランジスタ 6 2 が低インピーダンスになる。MOS トランジスタ 6 2 は、スナバ回路 2 に直列に接続され、スナバ回路 2 と MOS トランジスタ 6 2 との直列回路が電力制御素子 1 3 に並列に接続されている。MOS トランジスタ 6 2 がオン状態にある時にスナバ回路 2 は有効に作用し、オフ状態にある時にはスナバ回路 2 を流れる電流を遮断し、負荷の誤動作を防止できる。

【 0 0 5 1 】

フォト MOS トランジスタ 6 0 のオン・オフ制御は、MOS トランジスタ 6 2 のオン・オフ動作が、上述したスイッチのオン・オフ動作と同様になるように行えばよい。例えば、ソリッドステートリレー 1 の制御電流 I と関連付けて制御してもよいし、別途必要に応じ制御してもよい。或いは、フォト MOS トランジス

タ 6 0 を手動でオン・オフしてもよい。負荷制御を長時間行わないことが、予め分かっているときに、手動でオフとしておくことにより、負荷制御を行わない間の誤動作を防止できる。次に再び負荷制御を行うときに、手動でオンとしてもよいし、自動的にオンとなるようにしてもよい。このようにすると、制御が簡単になる。

【 0 0 5 2 】

また、フォトMOSトランジスタが導通したときのオン抵抗は小さいので、低インピーダンスでスナバ回路が接続されることになり、負荷動作時のスナバ回路の効果が損なわれることがなく、また、発熱も少ない。また、無接点半導体スイッチであるので、長寿命であり、長期に渡り安定した開閉を行うことができる。また、機械式リレーのような機構部を有しないので、高速で開閉を行うことができる。また、制御が簡単であるため、複雑な制御回路を構成する必要がなく、誤動作のない安定した負荷制御装置を容易に実現できる。

【 0 0 5 3 】

図 7 は、前記スイッチとして、ゲート制御式双方向 3 端子サイリスタを用いた実施形態を示すものである。図 7 において 7 0 はゲート制御式双方向 3 端子サイリスタ示し、スナバ回路のスイッチとして、スナバ回路 2 に直列に接続され、スナバ回路 2 とゲート制御式双方向 3 端子サイリスタ 7 0 の直列回路が電力制御素子 1 3 に並列に接続されている。ゲート制御式双方向 3 端子サイリスタ 7 0 がオン状態にある時にスナバ回路は有効に作用し、オフ状態にある時にはスナバ回路に流れる電流を遮断し、負荷 3 の誤動作を防止できる。

【 0 0 5 4 】

ゲート制御式双方向 3 端子サイリスタ 7 0 のオン・オフ制御は、上述したスイッチのオン・オフ動作と同様なオン・オフ動作となるように行えばよい。例えば、ソリッドステートリレー 1 の制御電流 I と関連付けて制御してもよいし、別途必要に応じ制御してもよい。或いは、ゲート制御式双方向 3 端子サイリスタ 7 0 を手動でオン・オフしてもよい。負荷制御を長時間行わないことが、予め分かっているときに、手動でオフとしておくことにより、負荷制御を行わない間の誤動作を防止できる。次に再び負荷制御を行うときに、手動でオンとしてもよいし、

自動的にオンとなるようにしてもよい。このようにすると、制御が簡単になる。

【 0 0 5 5 】

ゲート制御式双方向3端子サイリスタは、半導体による交流用スイッチとして代表的な素子であり、低コストで交流スイッチ回路が構成できる。また、一旦オン状態に移行した後は、開閉部を流れる電流が0になるまで、オン状態を維持する特徴があるので、ゲート電流を連続的に流す必要がなく、経済的である。また、オフ時のサージ発生もない。また、半導体スイッチであるので、長寿命であり、長期に渡り安定した開閉を行うことができる。また、機械式リレーのような機構部を有しないので、高速で開閉を行うことができる。

【 0 0 5 6 】

図8は、前記スイッチのオフタイミングを、負荷に接続された電力制御素子に入力される制御信号のオフタイミングから遅延させる遅延回路を備えたことを特徴とする本発明を、前記スイッチとしてソリッドステートリレーを用いた実施形態で説明するものである。

【 0 0 5 7 】

図8において、80はソリッドステートリレーを示し、ソリッドステートリレー80は、入力側に電気信号を光に変換する発光素子81（主にガリウム砒素LEDやガリウムアルミニウム砒素LED）と、出力側に光を電気信号に変換する受光素子82（主にゲートに光が当たると導通するフォトゲート制御式双方向3端子サイリスタ）及び受光素子82をそのゲートに接続した半導体スイッチ83（主にゲート制御式双方向3端子サイリスタ）と、を有する。半導体スイッチ83はスナバ回路開閉のスイッチとして、スナバ回路2に直列に接続され、スナバ回路2と半導体スイッチ83との直列回路が、電力制御素子13に並列に接続されている。制御電流I8が発光素子81及びそれと直列に接続された電流制限抵抗R8を流れることにより、発光素子81が発光すると、受光素子82が導通し、半導体スイッチ83のゲートに電流が流れ、半導体スイッチ83が点弧する。半導体スイッチ83がオン状態にある時は、スナバ回路は有効に作用し、オフ状態にある時は、スナバ回路2を流れる電流を遮断し、負荷3の誤動作を防止できる。発光素子11のカソードと発光素子81のアノード間に遅延回路200が接

続されており、発光素子 8 1 のカソード側に電流制限抵抗 R 8 が直列に接続されている。

【 0 0 5 8 】

まず、負荷を動作させるときに、制御電流 I を流し、ソリッドステートリレー 1 が導通し、負荷が動作する。この過程は従来例と同様である。一方、スナバ回路 2 を開閉するスイッチである半導体スイッチ 8 3 の入力である発光素子 8 1 を流れる電流 I 8 は、遅延回路 2 0 0 を介して、電流 I より遅延して流れる。遅延時間は、必要に応じて設定可能である。尚、電流 I 8 は、電流 I と同時に流れるようにしてもよい。電流 I 8 が流れることにより、半導体スイッチ 8 3 が導通して、スナバ回路 2 が有効に働くようになる。

【 0 0 5 9 】

次に、負荷の動作を停止させる場合を説明する。まず、発光素子 1 1 を流れる電流 I を停止する。すると、電力制御素子 1 3 は、電力制御素子 1 3 を流れる電流が 0 になったときに消弧し、負荷 3 の動作が停止する。一方、発光素子 8 1 を流れる電流 I 8 は、遅延回路 2 0 0 の機能により、設定可能な遅延時間の間流れ続けた後、停止する。これは、負荷の種類によっては、制御電流 I が停止してから電力制御素子 1 3 が消弧するまでの時間差があるためである。また、従来例のスナバ回路の効果の説明で述べたように、電力制御素子 1 3 の消弧直後の転流失敗防止のために、スナバ回路 2 を、電力制御素子 1 3 の消弧後もある一定時間有効にしておく必要があるからである。

【 0 0 6 0 】

電流 I 8 が停止した後、半導体スイッチ 8 3 に流れる電流が 0 になったとき、半導体スイッチ 8 3 はオフとなり、スナバ回路 2 には電流が流れなくなる。従って、負荷 3 が誤動作することがなくなる。

【 0 0 6 1 】

このようなソリッドステートリレー 8 0 のオフタイミングを遅延させる遅延回路を、ソリッドステートリレー 1 の制御信号と関連付けて設けることにより、ソリッドステートリレー 8 0 のオフ制御を行う制御器を別途設ける必要がなくなり、誤動作のない安定した負荷制御装置を製作することが容易になり、製作コスト

も低減できる。

【 0 0 6 2 】

尚、前記遅延回路の動作を、前記スイッチとしてソリッドステートリレーを用いた例で説明したが、前記スイッチとして、機械式リレーと、ソリッドステートリレーと、ゲートに光が当たると導通するフォトMOSトランジスタと、ゲート制御式3端子サイリスタと、を用いた構成の場合も同様である。

【 0 0 6 3 】

図9は、スナバ回路に流れる電流を抑制する抑制手段として、スナバ回路を、負の温度係数を持つサーミスタで構成した実施形態を示すものである。図9において、1はソリッドステートリレー、2はスナバ回路、3は負荷、4は商用交流電源である。従来の負荷制御装置である図10と相違する点は、図10に示すスナバ回路2を構成する抵抗22を図9に示すように、負の温度係数を持つサーミスタ23に置き換えた点である。

【 0 0 6 4 】

サーミスタ23を、電力制御素子13の近傍等の負荷動作時に発生する温度上昇の影響を受ける位置に配置することにより、負荷の非作動時は電力制御素子等の温度が低くなり、サーミスタ23の抵抗値が高くなるので、スナバ回路2を通じて負荷3を流れる電流の値は小さくなり、負荷3の誤動作が防止できる。一方、負荷作動時は電力制御素子等の温度上昇によってサーミスタ23の抵抗値が下がり、スナバ回路に流れる電流は、負荷の非作動時に比して増えるので、スナバ回路の設置目的である電圧変動の高周波成分除去効果が高まり、転流失敗防止が図れる。

【 0 0 6 5 】

尚、電力制御素子13は、負荷電流に応じた温度上昇をするので、前記サーミスタを電力制御素子13の近傍に配置することにより、負荷の非作動時にスナバ回路に流れる電流の抑制が確実となる。また、前記サーミスタと電力制御素子13を一体形にした構成も可能である。このようにすると、スナバ回路に流れる電流による誤動作のない安定した負荷制御装置の部品点数を減らすことができ、コストの低減を図ることもできる。

【 0 0 6 6 】

尚、図 1、図 4、図 5、図 6、図 7、図 8 に示す本発明の実施形態において、スナバ回路 2 を構成する抵抗 2 2 の代わりに、前記サーミスタを用いるとよい。すなわち、負荷の非作動時にスナバ回路に流れる電流を抑制する抑制手段として、スナバ回路に流れる電流を遮断するスイッチを用いる手段と、スナバ回路をサーミスタで構成する手段と、を組み合わせるとよい。この構成によると、負荷の非作動時に前記スナバ回路に流れる電流は、上述のように、スイッチにより遮断され負荷の誤動作を防止できる。一方、負荷制御を行っているときで、前記スイッチをオンしているときは、前記サーミスタの温度が上昇し抵抗値が下がることにより、スナバ回路の電圧変動に対しての高周波成分除去効果が増すことになるので、いっそう安定した負荷制御が実現できる。

【 0 0 6 7 】

尚、スナバ回路に流れる電流を抑制する抑制手段として、スイッチ及びサーミスタを用いた例を説明したが、前記抑制手段として、高インピーダンス状態と、低インピーダンス状態と、を切り換えることのできる素子等を用いた他の抑制手段を用いることもできる。

【 0 0 6 8 】

【発明の効果】

本発明によると、負荷の非作動時に、スナバ回路を通して負荷を流れる電流値を、負荷の最小動作電流値より小さくすることができるので、小電流で作動する軽負荷の誤動作を防止でき、安定した負荷制御が実現できる。

【 0 0 6 9 】

また、本発明によると、負荷の非作動時に、スナバ回路を通して流れる電流により負荷の両端に発生する電圧が誤動作を引き起こす負荷に対して、負荷の両端に発生する電圧を小さくすることができるので、そのような負荷の誤動作を防止し、安定した負荷制御が実現できる。

【図面の簡単な説明】

【図 1】は、本発明の一実施形態である負荷制御装置の回路図である。

【図 2】は、本発明の一実施形態である負荷制御装置の動作説明図である。

【図 3】は、本発明の一実施形態である負荷制御装置の動作説明図である。

【図 4】は、本発明の一実施形態である負荷制御装置の回路図である。

【図 5】は、本発明の一実施形態である負荷制御装置の回路図である。

【図 6】は、本発明の一実施形態である負荷制御装置の回路図である。

【図 7】は、本発明の一実施形態である負荷制御装置の回路図である。

【図 8】は、本発明の一実施形態である負荷制御装置の回路図である。

【図 9】は、本発明の一実施形態である負荷制御装置の回路図である。

【図 1 0】は、従来の負荷制御装置の回路図である。

【図 1 1】は、従来の負荷制御装置の動作説明図である。

【図 1 2】は、従来の負荷制御装置の回路図である。

【図 1 3】は、従来の負荷制御装置の動作説明図である。

【符号の説明】

1 ソリッドステートリレー

2 スナバ回路

3 負荷

4 商用交流電源

1 1 発光素子

1 2 受光素子（ゲートに光が当たると導通するフォトゲート制御式双

方向 3 端子サイリスタ）

1 3 電力制御素子（ゲート制御式双方向 3 端子サイリスタ）

2 1 コンデンサー

2 2 抵抗

2 3 サーミスタ

4 0 機械式リレー

4 1 コイル

4 2 機械式リレー接点

5 0 ソリッドステートリレー

5 1 発光素子

5 2 受光素子（ゲートに光が当たると導通するフォトゲート制御式双

方向 3 端子サイリスタ)

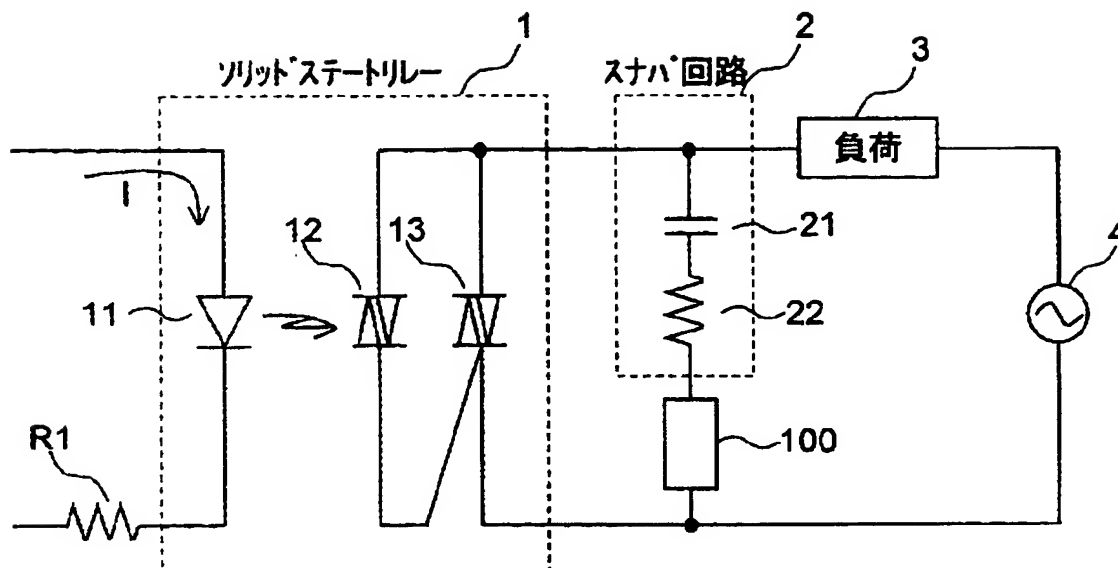
- 5 3 半導体スイッチ (ゲート制御式双方向 3 端子サイリスタ)
- 6 0 ゲートに光が当たると導通するフォト MOS トランジスタ
- 6 1 発光素子
- 6 2 MOS トランジスタ
- 7 0 ゲート制御式双方向 3 端子サイリスタ
- 8 0 ソリッドステートリレー
- 8 1 発光素子
- 8 2 受光素子 (ゲートに光が当たると導通するフォトゲート制御式双

方向 3 端子サイリスタ)

- 8 3 半導体スイッチ (ゲート制御式双方向 3 端子サイリスタ)
- 1 0 0 スイッチ
- 1 2 1 ゲート制御式双方向 3 端子サイリスタ
- 1 2 2 制御器
- 2 0 0 遅延回路
- R 1, R 4, R 5, R 6, R 8 抵抗

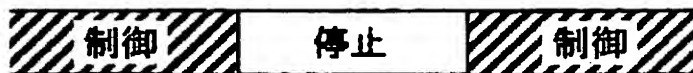
【書類名】 図面

【図 1】



【図 2】

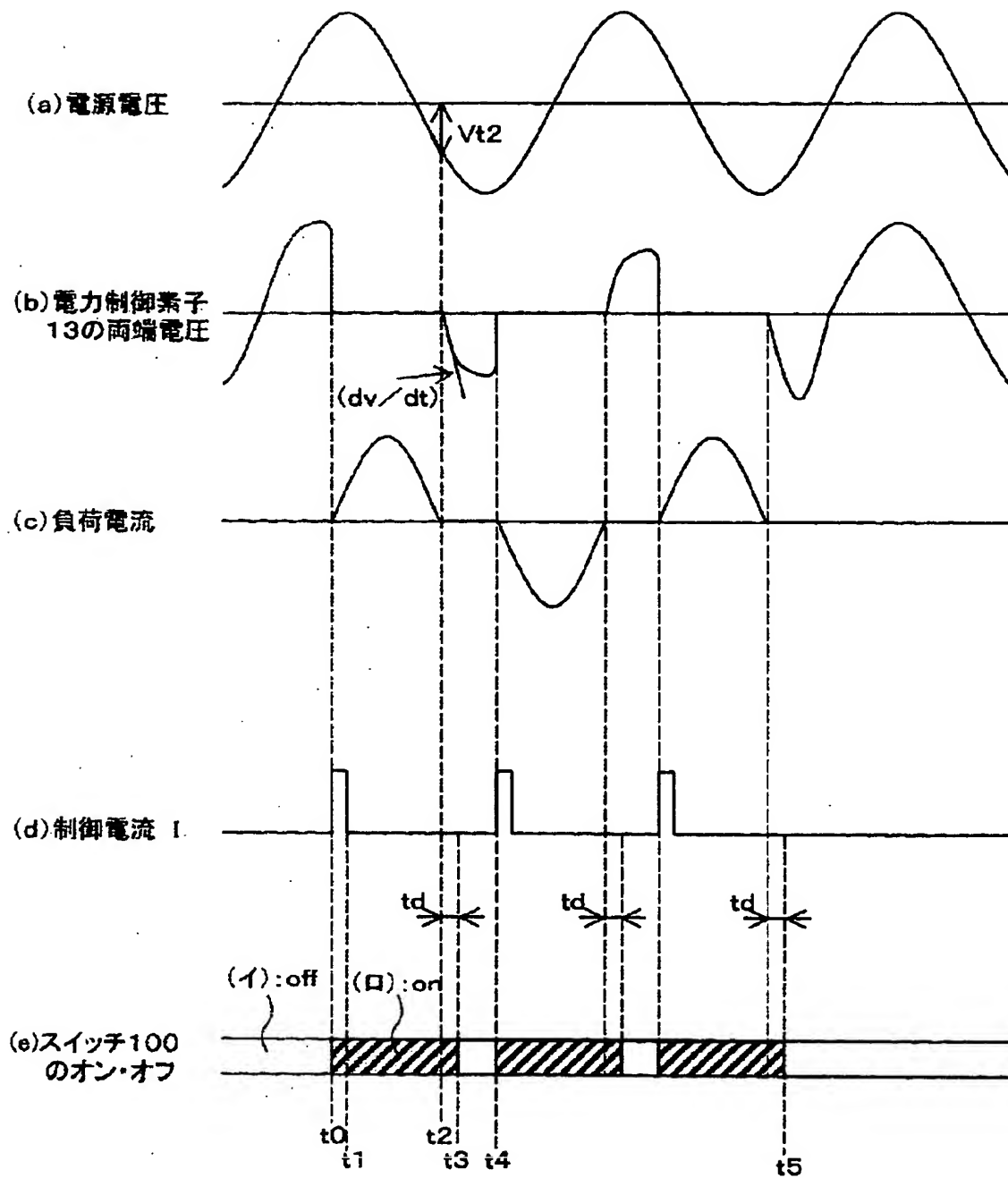
(a) 負荷制御の状態



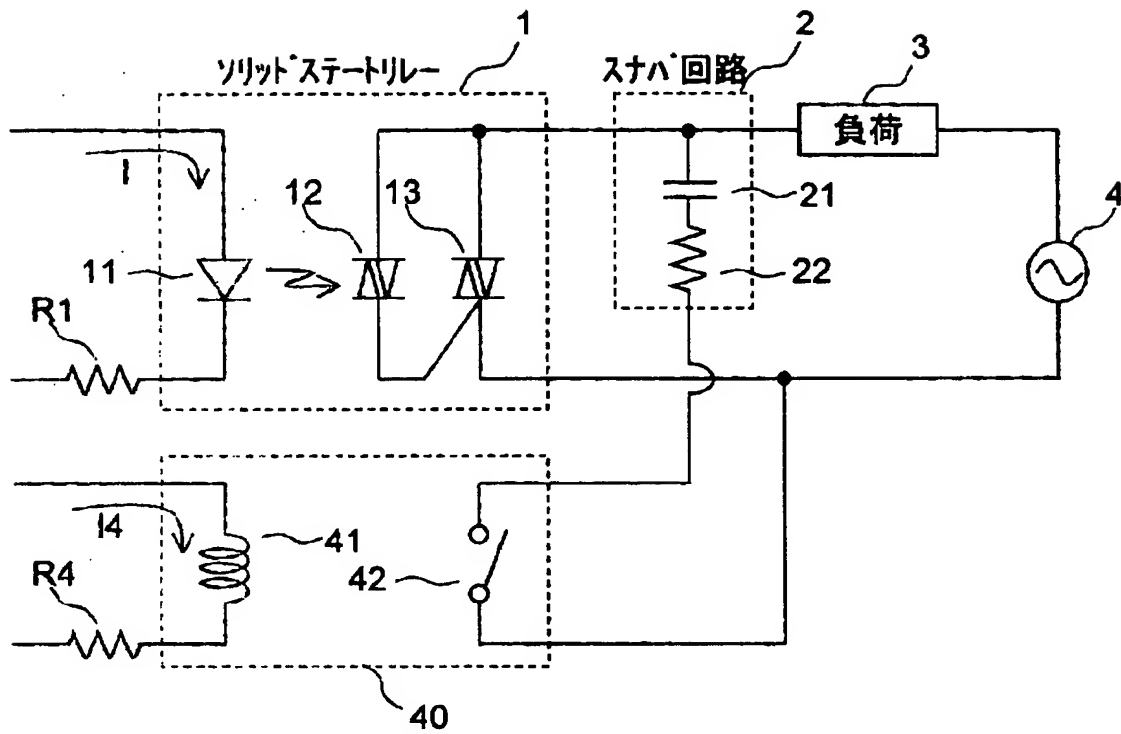
(b) スイッチ100のオン・オフ



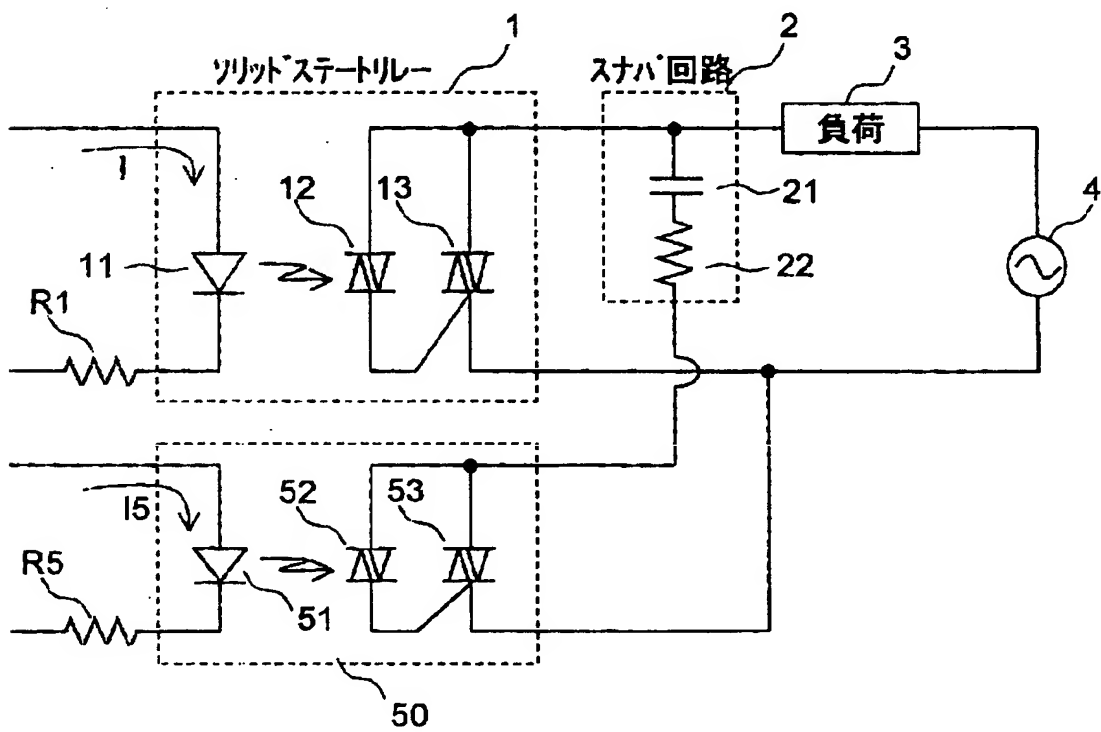
【図 3】



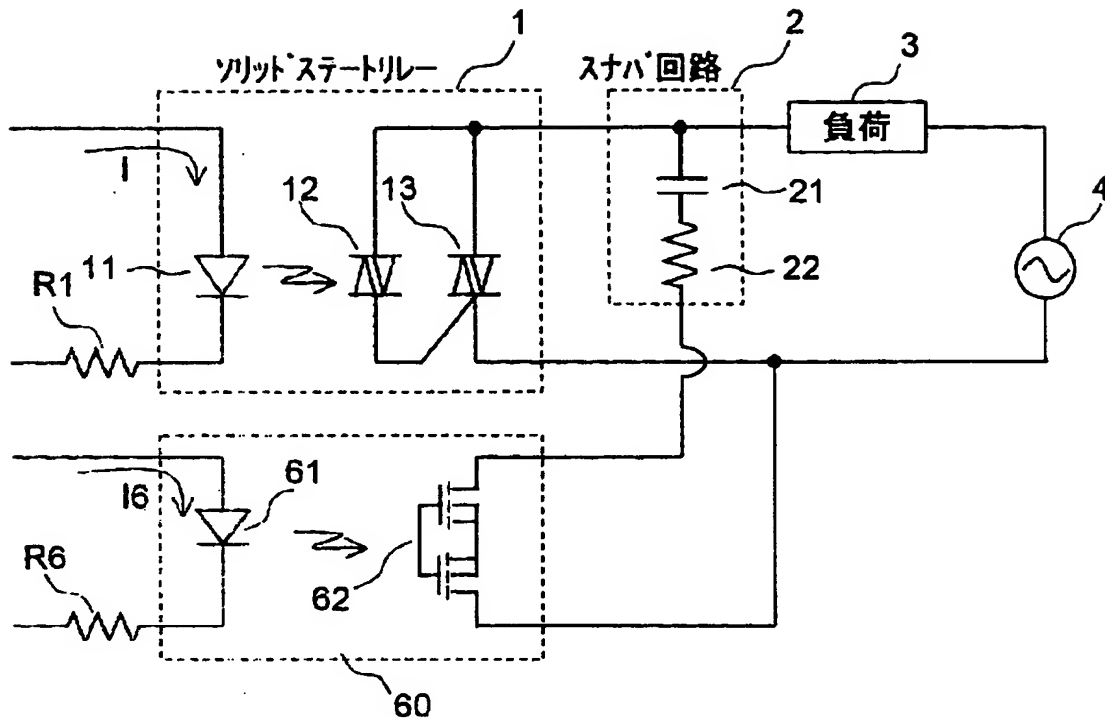
【図 4】



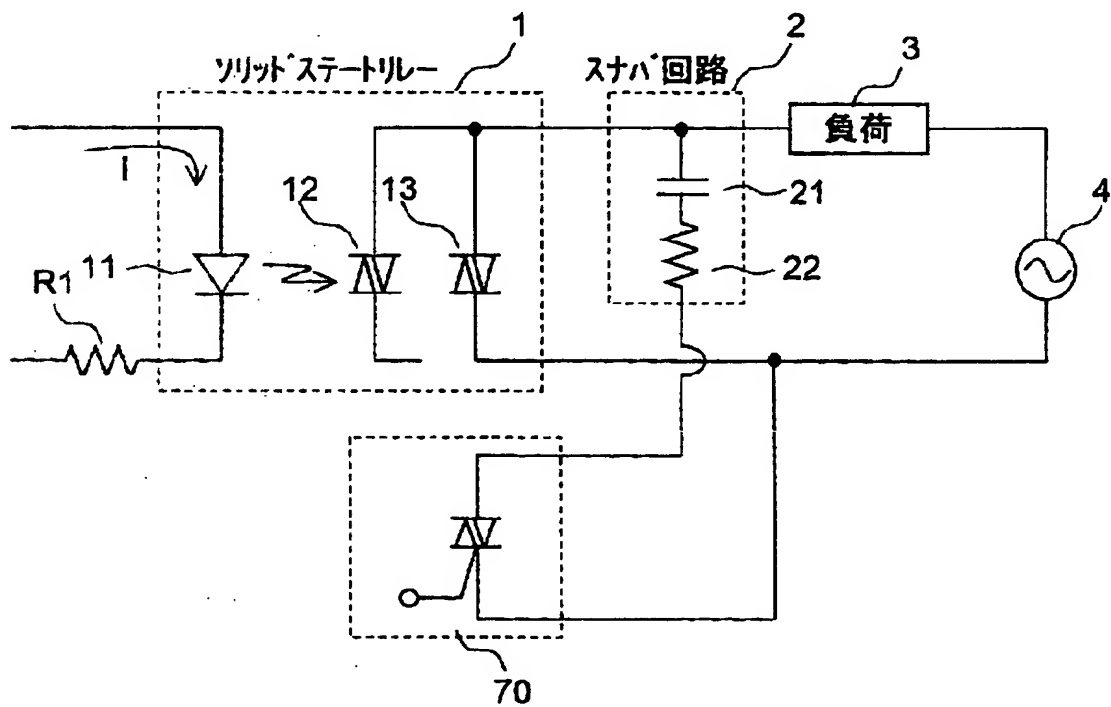
【図 5】



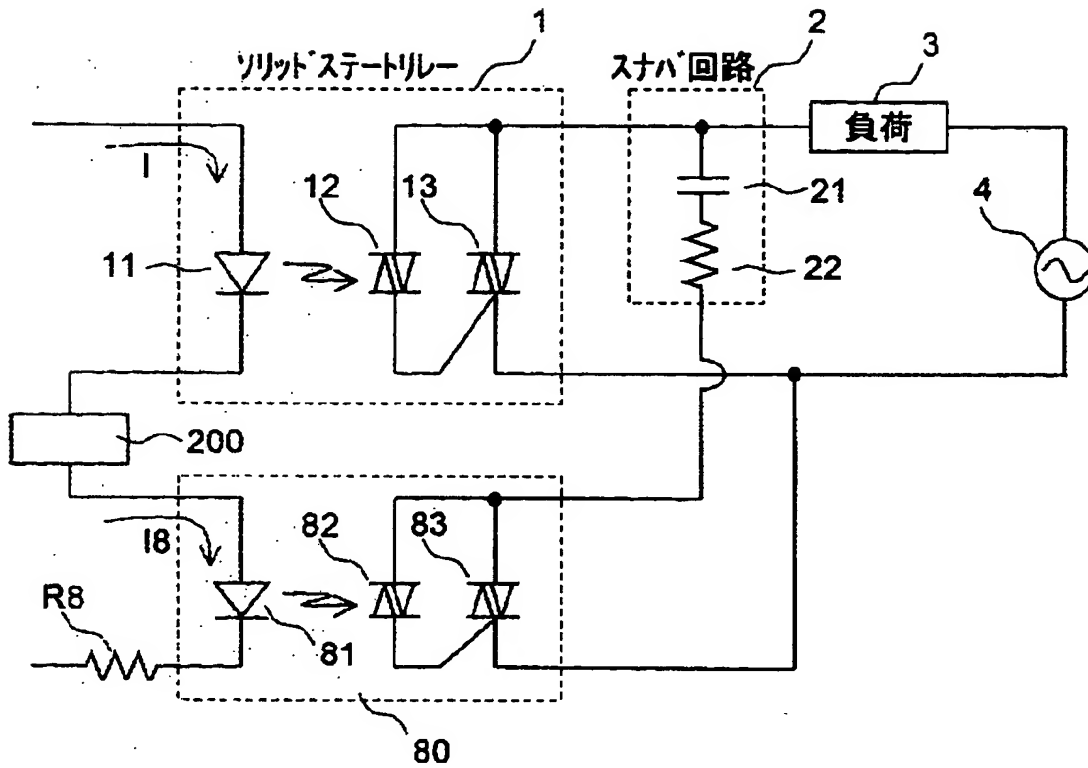
【図 6】



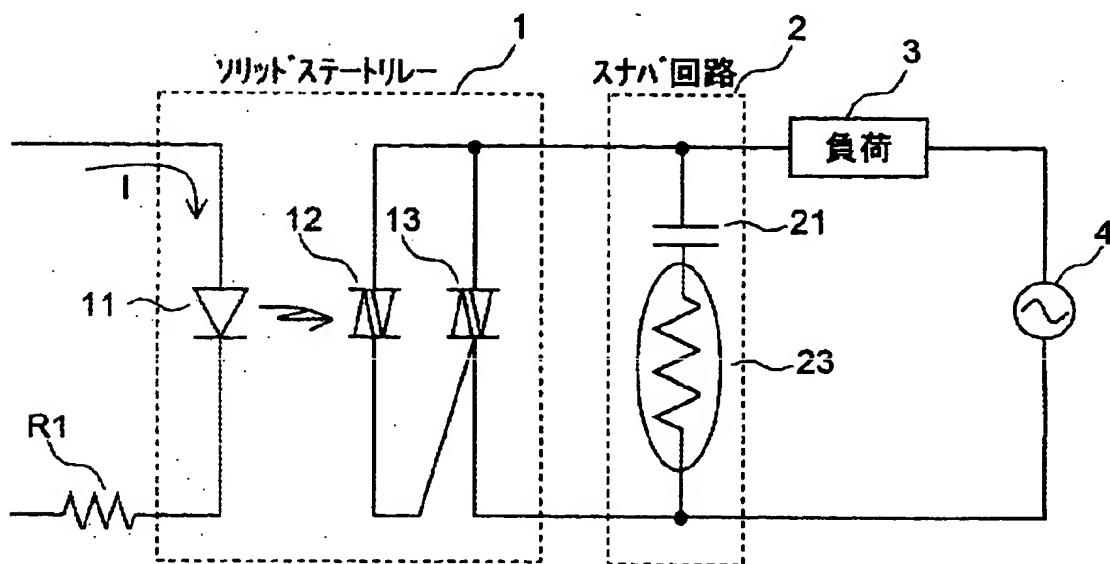
【図 7】



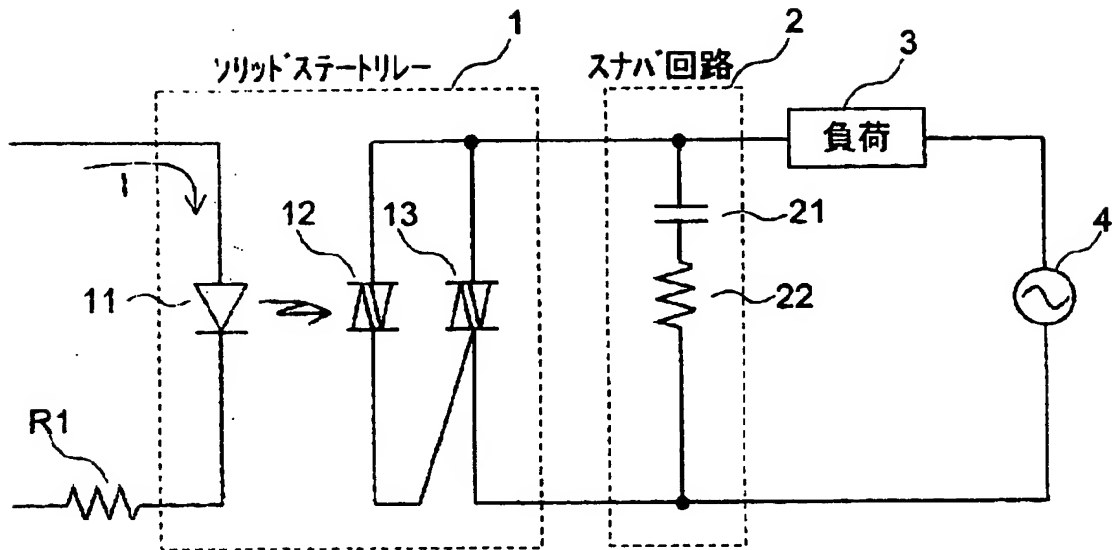
【図 8】



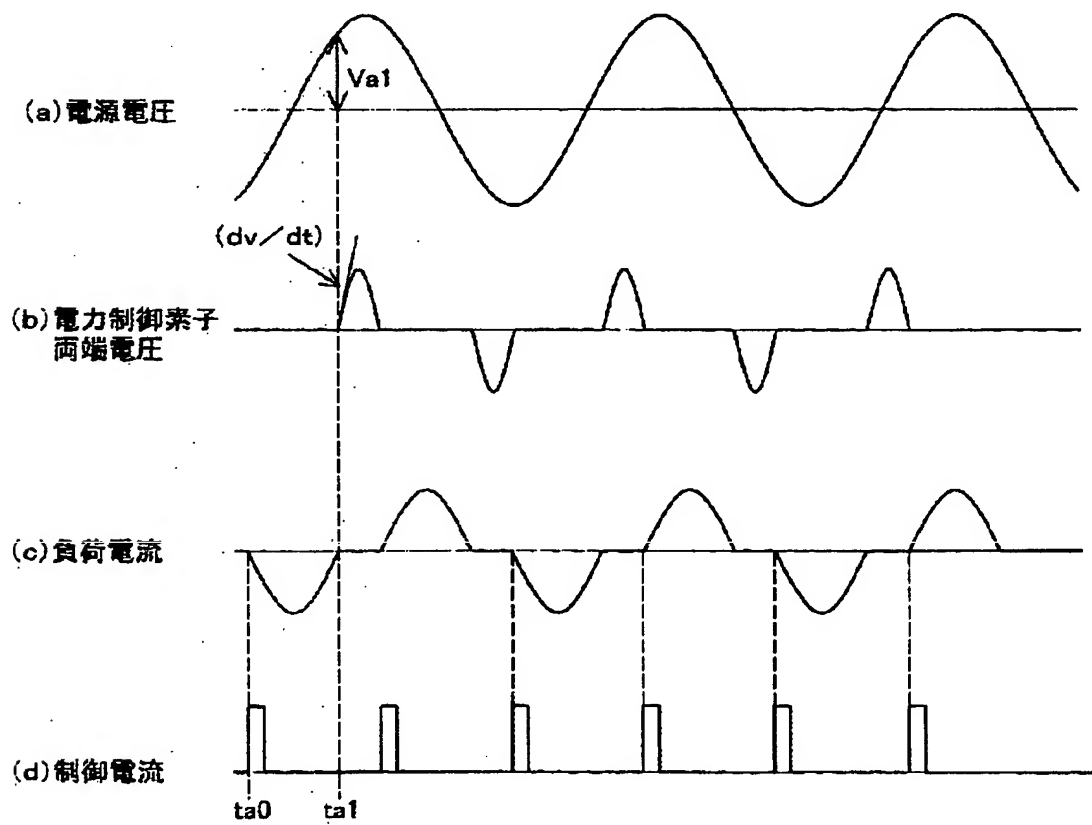
【図 9】



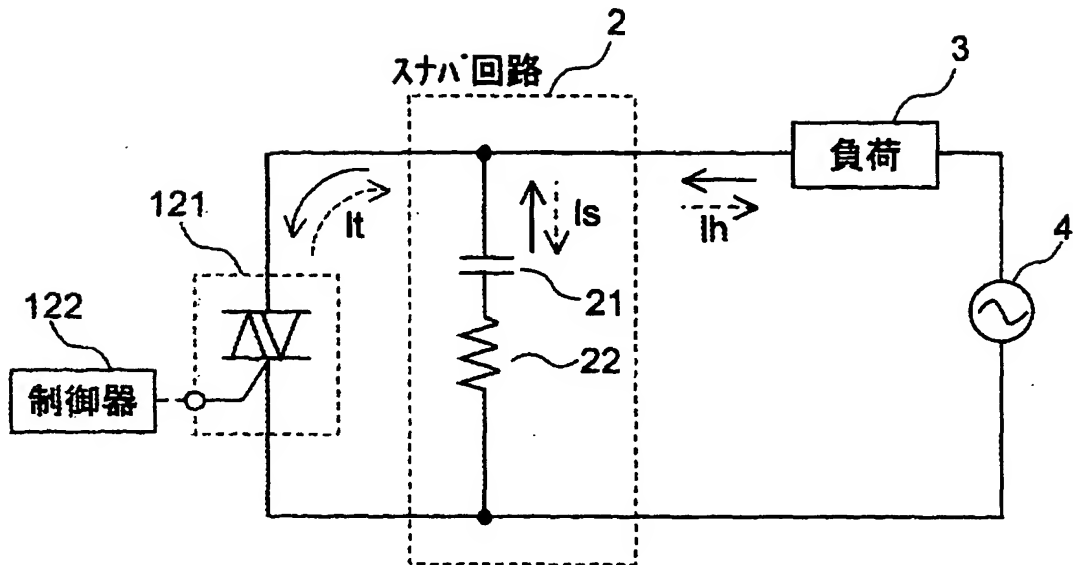
【図 10】



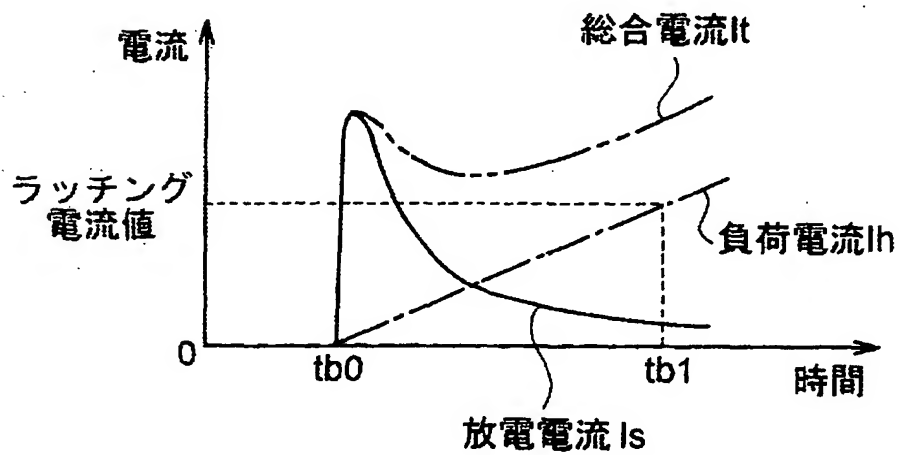
【図 11】



【図 1 2】



【図 1 3】



【書類名】 要約書

【要約】

【課題】 負荷の非作動時に、スナバ回路に流れる小電流により発生する負荷の誤動作を防止し、安定した負荷制御を実現することのできる負荷制御装置を提供する。

【解決手段】 交流電源に負荷と電力制御素子を直列に接続するとともに、前記電力制御素子に並列にスナバ回路を接続して成る負荷制御装置において、負荷の非作動時には前記スナバ回路に流れる電流を抑制する抑制手段を設ける。また、負荷の非作動時に前記スナバ回路に流れる電流を遮断するスイッチを、前記スナバ回路に直列に設ける。また、前記スナバ回路を、負の温度係数を持つサーミスタで構成する。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [0 0 0 0 0 5 0 4 9]

1. 変更年月日	1 9 9 0 年 8 月 2 9 日
[変更理由]	新規登録
住 所	大阪府大阪市阿倍野区長池町 2 2 番 2 2 号
氏 名	シャープ株式会社